

# SEMICONDUCTOR MEMORY AND READ-OUT METHOD OF DATA

Publication number: JP2001344987

Publication date: 2001-12-14

Inventor: SUZUKI JUNICHI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: G11C17/18; G11C7/10; G11C16/02; G11C16/06;  
G11C17/14; G11C7/10; G11C16/02; G11C16/06; (IPC1-  
7): G11C17/18; G11C16/02; G11C16/06

- european: G11C7/10M2; G11C7/10R

Application number: JP20000159024 20000529

Priority number(s): JP20000159024 20000529

Also published as:



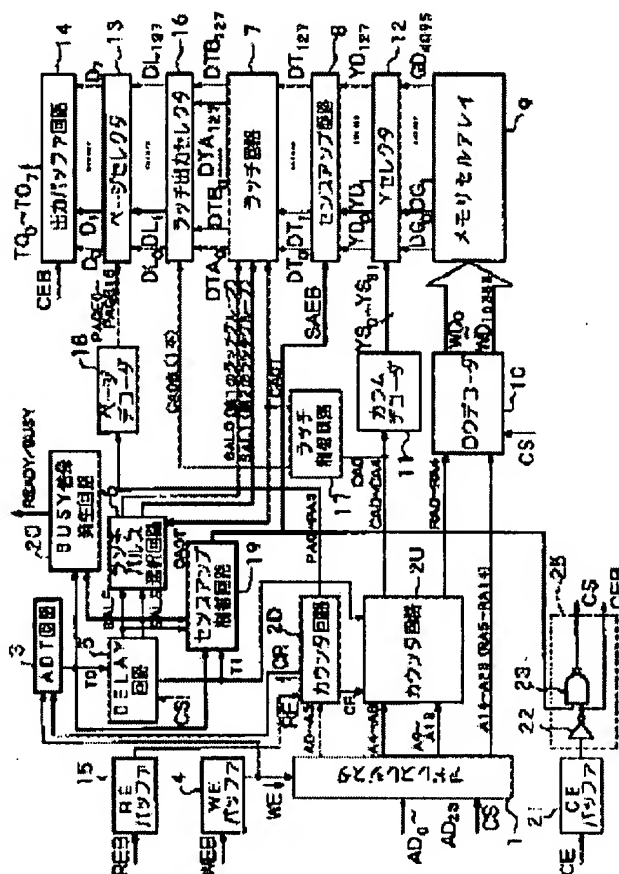
US6496446 (B2)

US2001046178 (A1)

Report a data error here

## Abstract of JP2001344987

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory in which data stored in a memory cell has no error and burst output can be performed when a state is restored from a standby state to an operation state. **SOLUTION:** This semiconductor device is provided with a memory cell array 9, an enable-circuit 25 in which a chip enable-signal is inputted and an enable-signal performing read-out operation of a memory cell is outputted, on the other hand when nothing is inputted, a standby signal stopping read-out operation of a memory cell is outputted, a latch selection circuit 8 in which data from a sense amplifier circuit 8 is stored in either of first and second latch groups connected commonly to the sense amplifier circuit 8 discriminating data of a memory cell array 9 and read-out of data from the other is controlled, and a sense amplifier control circuit 19. The device is characterized in that even if a chip enable-signal is not inputted, the enable-circuit 25 outputs continuously an enable-signal during data latching by a latch circuit 7.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-344987  
(P2001-344987A)

(43)公開日 平成13年12月14日(2001.12.14)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

データ(参考)

G 1 1 C 17/18  
16/02  
16/06

C 1 1 C 17/00

3 0 6 Z 5 B 0 0 3  
6 1 3 5 B 0 2 6  
6 3 6 B

審査請求 未請求 請求項の数6 O L (全 19 頁)

(21)出願番号 特願2000-159024(P2000-159024)

(22)出願日 平成12年5月29日(2000.5.29)

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 鈴木 潤一

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74)代理人 100108578

弁理士 高橋 昭男 (外3名)

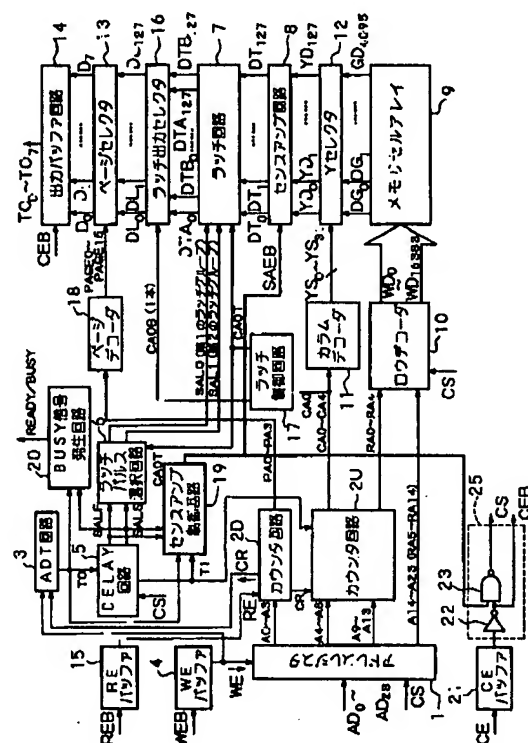
Fターム(参考) 5B003 AB01 AB05 AC04 AC08 AD04  
5B025 AA01 AA07 AD05 AD15 AE05  
AE06

(54)【発明の名称】 半導体記憶装置及びデータの読み出し方法

(57)【要約】

【課題】 スタンバイ状態から動作状態に復帰した場合に、メモリセルに記憶されているデータを誤り無く、バースト出力可能な半導体記憶装置を提供する。

【解決手段】 本願発明の半導体装置は、メモリセルアレイ9と、チップイネーブル信号が入力されているとき、メモリセルの読出動作を行うイネーブル信号を出力し、一方、入力されないとき、メモリセルの読出動作を停止するスタンバイ信号を出力するイネーブル回路25と、メモリセルアレイ9のデータを判定するセンスアンプ回路8に共通に接続された第1及び第2のラッチグループの何れか一方に、センスアンプ回路8からのデータを記憶させ、他からデータを読み出しを制御するラッチ選択回路8及びセンスアンプ制御回路19とを具備し、チップイネーブル信号が入力されなくなっても、イネーブル回路25が、ラッチ回路7がデータをラッチさせる期間、イネーブル信号を継続出力することの特徴とする。



## 【特許請求の範囲】

【請求項1】 カラムアドレスとロウアドレスとにより選択されるメモリセルが複数配置されたメモリセルアレイと、

チップイネーブル信号が入力されているとき、メモリセルの読出動作を行うイネーブル信号を出力し、チップイネーブル信号が入力されないとき、メモリセルの読出動作を停止するスタンバイ信号を出力するイネーブル制御回路と、

前記ロウアドレスにより選択された複数のメモリセルが各々接続されたビットラインから、前記カラムアドレスに基づき、所定の数のビットラインで構成されるグループを選択するビットライン選択回路と、

選択された前記グループの複数のビットラインを介して入力される、メモリセルからの出力信号を、各々このビットラインに対応して判定するセンスアンプから構成され、判定結果として各々のビットライン毎のデータを出力するセンスアンプ部と、

共通に接続された、このセンスアンプ部から出力されるビットライン毎の前記データを記憶する第1のラッチグループ及び第2のラッチグループと、

交互に、前記第1のラッチグループまたは前記第2のラッチグループの、いずれか一方にセンスアンプからのデータを記憶させ、他方に記憶されているデータの読み出させる処理を制御するラッチ選択回路とを具備し、

前記チップイネーブル信号が入力されなくなった場合、前記イネーブル制御回路が、センスアンプからのデータをラッチに記憶させるための期間、前記スタンバイ信号を出力せずに、前記イネーブル信号を継続して出力することを特徴とする半導体記憶装置。

【請求項2】 前記メモリセルからのデータの読み出しを行うときに、前記センスアンプを駆動状態とするセンスアンプ駆動信号を出力するセンスアンプ制御手段を具備することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記イネーブル制御回路が、前記チップイネーブル信号が入力されなくなった場合に、前記センスアンプ駆動信号の出力されている期間、前記イネーブル信号を出力することを特徴とする請求項1または請求項2記載の半導体記憶装置。

【請求項4】 イネーブル制御回路が、チップイネーブル信号の入力されているとき、メモリセルの読出動作を行うイネーブル信号を出力し、チップイネーブル信号が入力されないとき、メモリセルの読出動作を停止するスタンバイ信号を出力する第1の過程と、

カラムアドレスとロウアドレスとにより選択されるメモリセルが複数配置されたメモリセルアレイから、前記ロウアドレスにより複数の前記メモリセルを選択する第2の過程と、

ビットライン選択回路が、選択された前記複数のメモリ

セルが各々接続されたビットラインから、前記カラムアドレスに基づき、所定の数のビットラインから構成されるグループを選択する第3の過程と、

センスアンプ部が、選択された前記グループの複数のビットラインを介して入力される、メモリセルからの出力信号を、各々このビットラインに対応するセンスアンプにより判定し、判定結果として各々のビットライン毎のデータを出力する第4の過程と、

前記センスアンプ部に共通に接続された第1のラッチまたは第2のラッチの何れかが、このセンスアンプ部から出力されるビットライン毎の前記データを記憶する第5の過程と、

ラッチ選択回路が、前記第1のラッチのデータまたは前記第2のラッチのデータの何れを出力するかを選択し、選択されたラッチのデータを読み出しデータとして出力する第6の過程とを有し、

前記チップイネーブル信号が入力されなくなった場合、前記イネーブル制御回路が、センスアンプからのデータをラッチに記憶させるための期間、前記スタンバイ信号を出力せずに、前記イネーブル信号を継続して出力することを特徴とする半導体記憶装置からのデータ読み出し方法。

【請求項5】 前記メモリセルからのデータの読み出しを行うときに、前記センスアンプを駆動状態とするセンスアンプ駆動信号を出力するセンスアンプ制御手段を具備することを特徴とする請求項4記載の半導体記憶装置からのデータ読み出し方法。

【請求項6】 前記イネーブル制御回路が、前記チップイネーブル信号が入力されなくなった場合に、前記センスアンプ駆動信号の出力されている期間、前記イネーブル信号を出力することを特徴とする請求項4または請求項5記載の半導体記憶装置からのデータ読み出し方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリカードなどに用いられる、高速読みだしが可能なバーストアクセスモードを有する半導体記憶装置に係わるものである。

【0002】

【従来の技術】近年、プロセス技術の進展により、半導体記憶装置の集積度が向上し、動作速度が向上している。特に、CPU（中央処理装置）における動作速度の向上に著しいものがある。このため、CPUの動作速度に対応して、半導体記憶装置から記憶されているプログラムデータを高速に読み出す必要があり、半導体記憶装置の読み出し時における動作速度の向上が要求されている。特に、音楽情報やアニメーションなどの画像情報を1つの半導体チップに記憶させ、この音楽情報をスピーカにより再生、また、画像情報を表示装置の表示画面に再生することができるようになっている。これらの音声情報及び画像情報を読み出すとき、読み出し処理中に読

み出し速度が変動すると、再生された音楽や画像が不連続となり、使用しているユーザへ違和感を感じさせることになる。従って、これらの音声情報及び画像情報を読み出すときには、高速であって、かつ読み出し速度が一定であることが要求される。

【0003】上述の半導体記憶装置に対する高速アクセスの要求に対応して、半導体記憶装置の動作にバーストモードを持たせることが行われている。すなわち、バーストモードでは、例えば、データのバースト読み出しにおいて、基準となるアドレスを半導体記憶装置へ与えると、ページに対応するデータを一度にラッチに読み出しておき、半導体記憶装置に対する読み出しイネーブル信号に基づき、以降の上記ラッチからのバースト読み出しの処理に必要なアドレスを、順次、内部の回路で連続的に生成して、ラッチされているデータの読み出し動作を行うため、新たにアドレスを読み込む必要がなく、メモリの読み出しにおけるアクセスが高速となる。

【0004】すなわち、図5に示すように、例えば、レーテンシー期間に「0」番byte～「15」番byteの16byte分のメモリセルのデータを読み出し、次に、この「0」番byte～「15」番byteが出力されている間に、「16」byte～「31」byteの16byte分のメモリセルのデータを読み出す。この読み出し処理が、順次、繰り返される。

【0005】しかしながら、上述したバーストモードにおいて、一つのページの読み出しが終了する毎に、次のページのアドレスが新たに半導体記憶装置に与えられる。このため、次のページの読み出しに対して、入力されたアドレスのデコード処理などの時間、すなわち、センスアンプによるメモリセルからのページ読み出し時間が必要となり、半導体記憶装置に対する外部からの制御の信号が保留されることになる。特に、図6に示される様に、16byteの途中、例えば、「15」byte目から読み出す場合、1byte分の読み出し時間の間しか、次の「16」byte～「31」byteのデータを、メモリセルから読み出す余裕がないため、連続的なデータの出力が行えない。

【0006】従って、上述した半導体記憶装置の様な1ページ分のデータをラッチさせる方法では、実質的に高速アクセスに対するアクセスタイムの改善には限界がある。従って、この半導体記憶装置を使用したシステムにおいては、システム全体の処理速度を向上させることが出来ないという欠点がある。

【0007】上述した欠点を解決するため、ページの切り替わり毎に、新たなアドレスの入力の必要が無くなる様に、メモリのデータを読み出すビットラインの全てにセンスアンプとラッチとを設けることが行われている（特開平9-106689）。この結果、全てのビットラインから一括してデータを読み出し、各々ラッチに蓄えているため、ワードラインの切り換え時以外に、新た

なアドレスの入力を必要とせずに高速な読み出し／書き込み処理が行われる。これにより、この半導体記憶装置を利用したシステムは、ページの切り替わりにおけるページ読み出し時間をなくすることが出来、全体の処理速度を向上させることが可能となる。

【0008】しかしながら、上述した半導体記憶装置には、全てのビットラインに各々対応したセンスアンプ、及びこのセンスアンプからのデータを蓄えるラッチを有するため、アクセスタイムを高速にすることはできるが、センスアンプとラッチとがチップに占める面積が非常に大きくなり、同容量な通常の半導体記憶装置と比較するとチップ面積が大きくなってしまいうという欠点がある。

【0009】また、上述した半導体記憶装置には、全てのビットラインに各々対応したセンスアンプ、及びこのセンスアンプからのデータを蓄えるラッチを有するため、データ読み出しなどの動作時の消費電力が非常に大きくなり、バッテリー駆動を行う携帯情報機器に使用した場合、携帯情報機器の稼働時間が短くなってしまいうという問題がある。

【0010】以上示してきた様な、半導体記憶装置の欠点の解決策として、メモリセルアレイを複数のブロックに分割し、これらのブロックにある複数のカラムに対して1つのセンスアンプを共有させて、センスアンプの数を削減する読み出し回路の構成がある（特開平11-176185）。このとき、複数のブロックにおいて、各々選択されたカラムのデータが1組のデータとして取り扱われる。

【0011】しかしながら、上記読み出し回路では、センスアンプからシフトレジスタへ1組目のデータを転送すると、カラムアドレスをインクリメントさせ、2組目のデータをセンスアンプへ読み出すようになっている。そして、この読みだし回路では、シフトレジスタへ転送された1組目のデータの最後のデータが出力されると、2組目のデータがシフトレジスタへ転送され、カラムアドレスをインクリメントさせ、3組目のデータがセンスアンプへ読み出す処理が行われる。

【0012】従って、この読みだし回路は、所定のランダムアクセス時間（例えば、1 $\mu$ sec）が経過した後、シフトレジスタからデータの出力を開始する。このため、この読み出し回路は、1組目のデータの出力が終了するとき、2組目のデータがセンスアンプにおける判定が終了したか否かの検出を行う手段を設けていない。

【0013】従って、この読み出し回路は、外部回路または回部装置のランダムアクセス時間が、半導体記憶装置のアクセスタイムに対して短い場合に、1組目のデータの出力が終了した時点で、シフトレジスタへのデータの読み出しが終了していない2組目のデータを、あたかもシフトレジスタから出力されているように、外部回路または回部装置が読み出すため、正確なデータの読み

出しが行えないという欠点がある。

【0014】また、この読み出し回路は、センスアンプからシフトレジスタへ1組目のデータを転送すると、カラムアドレスをインクリメントさせ、2組目のデータをセンスアンプへ読み出すようになっているため、常にセンスアンプを動作状態としている。このため、この読み出し回路は、センスアンプに常に電流が流れている状態となっており、電流消費が大きくなるという問題がある。

【0015】

【発明が解決しようとする課題】このため、上述の問題を解決するため、メモリセルアレイを複数のブロックに分割し、これらのブロックにある複数のカラムに対して1つのセンスアンプを共有させて、センスアンプから読み出したデータを蓄積するラッチを2系統設ける構成が考えられる。

【0016】そして、この構成においては、図7に示すように、一方のラッチに蓄えられている「0」番byte～「15」番byteの16byte分のメモリセルのデータを出力している間に、他方のラッチに「16」番byte～「31」番byteの16byte分のメモリセルのデータを読み出し、ラッチ信号によりラッチに蓄積させる。図7のタイミングチャートにおいて、チップセレクト信号SEが「H」レベルとなっており、半導体記憶装置が選択されて、アクセス可能な状態となっている。この各々のラッチに対する読み出し処理と蓄積処理とが、順次、繰り返される。このとき、センスアンプは、ラッチへのデータの読み出しの期間のみを、動作状態（信号SAEBが「L」レベル）とする。

【0017】このデータ出力とデータ蓄積の処理を交互に行うことにより、センスアンプの数を削減できるため、チップ面積を大きくすることなく、かつ、センスアンプをメモリセルからのデータの読み出し時にのみ駆動させるため、消費電力を増加させずに、バーストモードにおけるアクセスタイムを向上させることが可能となる。

【0018】しかしながら、上述した構成のメモリにおいて、データ出力とデータ蓄積の処理を交互に行なっているとき、チップセレクト信号CEが「L」レベルとなり、メモリが非選択状態、すなわち、スタンバイ状態となった場合、内部回路の動作が停止させられることにより、センスアンプの動作が中断されるため、次に出力するデータを蓄積状態に設定されているラッチに正常に蓄積できない。

【0019】すなわち、図8に示すように、スタンバイ状態となると、センスアンプ及びワード線（WORD線）がアクティブ状態から非アクティブ状態となり、メモリセルからセンスアンプ回路に読み出されているデータが消失してしまう。そして、この後、チップセレクト信号CEが「H」レベルとなり、半導体記憶装置がスタ

ンバイ状態からアクティブ状態に移行し、再度、メモリセルアレイの何れかのメモリセルが選択状態となった場合、このメモリセルのメモリセルトランジスタに接続されているワード線が活性化されるとき、短時間に十分な電圧レベルまで立ち下がらないため、メモリセルからセンスアンプ回路へデータを読み出すことができない。

【0020】この結果、メモリセルに記憶されているデータが、センスアンプにより読み出されないため、蓄積状態に設定されているラッチに、本来選択されたメモリセルに記憶されているデータが蓄積（記憶）されない。そして、「0」byteから「15」byteまでが読み出された後、ラッチ間において読み出し状態と蓄積状態との処理が交換され、「16」byteから「31」byteまでを読み出す場合、このラッチには、スタンバイ時にラッチに正しいデータが蓄積されていないため、正しいデータが出力されることはない。

【0021】本発明はこのような背景の下になされたもので、チップ面積を増加させずに、バースト読み出しによる高速な読み出し動作が可能であり、スタンバイ状態から動作状態に復帰した場合に、メモリセルに記憶されているデータを誤り無く出力可能な半導体記憶装置を提供する事にある。

【0022】

【課題を解決するための手段】請求項1記載の発明は、半導体記憶装置において、カラムアドレスとロウアドレスとにより選択されるメモリセルが複数配置されたメモリセルアレイと、チップイネーブル信号が入力されているとき、メモリセルの読出動作を行うイネーブル信号を出力し、チップイネーブル信号が入力されないとき、メモリセルの読出動作を停止するスタンバイ信号を出力するイネーブル制御回路と、前記ロウアドレスにより選択された複数のメモリセルが各々接続されたビットラインから、前記カラムアドレスに基づき、所定の数のビットラインで構成されるグループを選択するビットライン選択回路と、選択された前記グループの複数のビットラインを介して入力される、メモリセルからの出力信号を、各々このビットラインに対応して判定するセンスアンプから構成され、判定結果として各々のビットライン毎のデータを読み出すセンスアンプ部と、共通に接続され、このセンスアンプ部から出力されるビットライン毎の前記データを記憶する第1のラッチグループ及び第2のラッチグループと、交互に、前記第1のラッチグループまたは前記第2のラッチグループの、いずれか一方にセンスアンプからのデータを記憶させ、他方に記憶されているデータの読み出させる処理を制御するラッチ選択回路とを具備し、前記チップイネーブル信号が入力されなくなった場合、前記イネーブル制御回路が、センスアンプからのデータをラッチに記憶させるための期間、前記スタンバイ信号を出力せずに、前記イネーブル信号を継続して出力することを特徴とする。

【0023】請求項2記載の発明は、請求項1記載の半導体記憶装置において、前記メモリセルからのデータの読み出しを行うときに、前記センスアンプを駆動状態とするセンスアンプ駆動信号を出力するセンスアンプ制御手段を具備することを特徴とする。請求項3記載の発明は、請求項1または請求項2記載の半導体記憶装置において、前記イネーブル制御回路が、前記チップイネーブル信号が入力されなくなった場合に、前記センスアンプ駆動信号の出力されている期間、前記イネーブル信号を出力することを特徴とする。

【0024】請求項4記載の発明は、半導体記憶装置からのデータ読み出し方法において、イネーブル制御回路が、チップイネーブル信号の入力されているとき、メモリセルの読出動作を行うイネーブル信号を出力し、チップイネーブル信号が入力されないとき、メモリセルの読出動作を停止するスタンバイ信号を出力する第1の過程と、カラムアドレスとロウアドレスとにより選択されるメモリセルが複数配置されたメモリセルアレイから、前記ロウアドレスにより複数の前記メモリセルを選択する第2の過程と、ビットライン選択回路が、選択された前記複数のメモリセルが各々接続されたビットラインから、前記カラムアドレスに基づき、所定の数のビットラインから構成されるグループを選択する第3の過程と、センスアンプ部が、選択された前記グループの複数のビットラインを介して入力される、メモリセルからの出力信号を、各々このビットラインに対応するセンスアンプにより判定し、判定結果として各々のビットライン毎のデータを出力する第4の過程と、前記センスアンプ部に共通に接続された第1のラッチまたは第2のラッチの何れかが、このセンスアンプ部から出力されるビットライン毎の前記データを記憶する第5の過程と、ラッチ選択回路が、前記第1のラッチのデータまたは前記第2のラッチのデータの何れを出力するかを選択し、選択されたラッチのデータを読み出しデータとして出力する第6の過程とを有し、前記チップイネーブル信号が入力されなくなった場合、前記イネーブル制御回路が、センスアンプからのデータをラッチに記憶させるための期間、前記スタンバイ信号を出力せずに、前記イネーブル信号を継続して出力することを特徴とする。

【0025】請求項5記載の発明は、請求項4記載の半導体記憶装置からのデータ読み出し方法において、前記メモリセルからのデータの読み出しを行うときに、前記センスアンプを駆動状態とするセンスアンプ駆動信号を出力するセンスアンプ制御手段を具備することを特徴とする。請求項6記載の発明は、請求項4または請求項5記載の半導体記憶装置からのデータ読み出し方法において、前記イネーブル制御回路が、前記チップイネーブル信号が入力されなくなった場合に、前記センスアンプ駆動信号の出力されている期間、前記イネーブル信号を出力することを特徴とする。

【0026】本願発明の半導体装置は、メモリセルアレイ9と、チップイネーブル信号が入力されているとき、メモリセルの読出動作を行うイネーブル信号を出力し、一方、入力されないとき、メモリセルの読出動作を停止するスタンバイ信号を出力するイネーブル回路25と、メモリセルアレイ9のデータを判定するセンスアンプ回路8に共通に接続された第1及び第2のラッチグループの何れか一方に、センスアンプ回路8からのデータを記憶させ、他からデータを読み出しを制御するラッチ選択回路8及びセンスアンプ制御回路19とを具備し、チップイネーブル信号が入力されなくなっても、イネーブル回路25が、ラッチ回路7がデータをラッチさせる期間、イネーブル信号を継続出力することを特徴とする。

【0027】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。図1は本発明の一実施形態による半導体記憶装置の構成を示すブロック図である。また、図1は構成例として、8ビット出力の128Mbit（メガビット）の容量のマスキングROM（読み出し専用メモリ）の構成を示しているが、本発明はこのようなマスキングROMに限定されるものではない。

【0028】この図において、アドレスレジスタ1は、外部から入力端子を介して、入力される24ビットのアドレス信号AD0～アドレス信号AD23を、波形成形を行い、かつ内部回路の電圧レベルへの変換を行い、変換された内部信号として、各々内部アドレス信号A0～内部アドレス信号A13及びロウアドレス信号RA5～ロウアドレス信号RA14へ変更する。またアドレスレジスタ1は、内部アドレス信号A0～内部アドレス信号A13及び内部アドレス信号RA5～内部アドレス信号RA14を、例えば信号Wの立ち上がりにおいてラッチする。そして、アドレスレジスタ1は、ラッチされた内部アドレス信号A0～内部アドレス信号A3をカウンタ回路2Dへ出力し、内部アドレス信号A4～内部アドレス信号A13をカウンタ回路2Uへ出力する。

【0029】カウンタ回路2Dは、4ビットのカウントであり、入力される内部アドレス信号A0～内部アドレス信号A3を、制御信号T0の立ち上がりのタイミングにおいてラッチする。すなわち、カウンタ回路2Dは、内部アドレス信号A0～内部アドレス信号A3を、バーストアドレスの初期値として、制御信号T0の立ち上がりのエッジによりラッチする。また、カウンタ回路2Dは、このラッチされた内部アドレス信号の数値から、読み出し信号Rの立ち上がりエッジにより計数動作を行う。

【0030】また、カウンタ回路2Dは、計数結果をページアドレス信号PA0～ページアドレス信号PA3として、ページデコード18（図1参照）へ出力する。そして、カウントアップして、計数値が「1111」から「0000」へ変化するとき、カウンタ回路2Uへカウ



ントアップ信号CRを出力する。ここで、計数値「1111」の最上位ビットはページアドレス信号PA3の値であり、最下位ビットはページアドレス信号PA0の値である。

【0031】カウンタ回路2Uは、10ビットのカウンタであり、入力される内部アドレス信号A4～内部アドレス信号A13を、制御信号T0の立ち上がりのタイミングにおいてラッチする。すなわち、カウンタ回路2Uは、内部アドレス信号A4～内部アドレス信号A13を、バーストアドレスの初期値として、制御信号T0の立ち上がりのエッジによりラッチする。また、カウンタ回路2Uは、このラッチされた内部アドレス信号の数値から、制御信号T1の立ち上がりエッジ、またはカウントアップ信号CRの立ち上がりエッジにより計数動作を行う。

【0032】また、カウンタ回路2Uは、10ビットのうち下位5ビットを使用し、入力されるアドレス信号A4～アドレス信号A8を初期値として、カラムアドレス信号CA0～カラムアドレス信号CA4を生成し、カラムデコーダ11へ出力する。また、カウンタ回路2Uは、10ビットのうち上位5ビットを使用し、入力されるアドレス信号A9～アドレス信号A13を初期値として、ロウアドレス信号RA0～ロウアドレス信号RA4を生成し、ロウデコーダ10へ出力する。このとき、ロウアドレス信号RA0～ロウアドレス信号RA4を、アドレスレジスタ1から出力されるロウアドレス信号RA5～ロウアドレス信号RA14とされたものと合わせた、ロウアドレス信号RA0～ロウアドレス信号RA14が、ロウデコーダ10へ出力する。

【0033】このため、カウンタ回路2Uは、ワード選択線を含めたデータ読み出しのバーストモードに対応した構成となっており、ロウアドレス信号RA0～ロウアドレス信号RA14のうち、アドレス信号A9～アドレス信号A13をバーストアドレスの初期値とする、計数値データとしてのロウアドレス信号RA0～ロウアドレス信号RA4の範囲において、ワード選択線WD0～ワード選択線WD16383における、ワード選択線の活性化（ワード線選択）の遷移を行うバーストアドレスを生成することができる。

【0034】WEバッファ4は、外部から入力される信号WEBに対して、波形成形及び内部回路の電圧レベルへの変換を行い、変換結果として、同相の書き込み信号WEを出力する。ATD回路3は、WEバッファ4から入力される書き込み信号WEの変化を検出して、書き込み信号WE及びカウントアップ信号CRが入力された場合、検出結果として、例えば、制御信号T0を所定の幅の「L」レベルのワンショットパルスとして、カウンタ回路2及びディレイ回路5へ出力する。

【0035】ディレイ回路5は、入力される「L」レベルのパルスのパルス制御信号T0を遅延させ、遅延結果

として、制御信号T0と同一の極性（「L」レベル）の所定の幅のパルスの制御信号T1を出力する。また、ディレイ回路5は、それぞれ予め設定されたディレイタイムを加えたタイミングにより、制御信号T0を各々遅延させ、所定の幅の制御信号T0と同一の極性（「L」レベル）のパルスとして制御信号SALFを生成し、制御信号T1の「L」レベルのパルスを遅延させ、所定の幅の制御信号T1と同一の極性（「L」レベル）のパルスとして制御信号SALSを生成し、制御信号SALF及び制御信号SALSをラッチパルス選択回路6へ出力する。

【0036】ラッチパルス選択回路6は、入力される制御信号SALF及び制御信号SALSの各々を、制御信号CA0Tの値により、ラッチ回路7内の第1のラッチグループへのラッチ信号となるラッチパルスSAL0、またはラッチ回路7内の第2のラッチグループへのラッチ信号となるラッチパルスSAL1として出力する。すなわち、ラッチパルス選択回路6は、制御信号CA0Tが「L」レベルのとき、制御信号SALFを制御信号SAL0として出力し、制御信号SAL1を出力せず、一方、制御信号CA0Tが「H」レベルのとき、制御信号SALSを制御信号SAL1として出力し、制御信号SAL0を出力しない。

【0037】このとき、出力されるラッチパルス（ラッチ信号）SAL0及びラッチパルス（ラッチ信号）SAL1は、制御信号SALSまたは制御信号SALFと逆の極性（「H」レベル）の所定の幅のパルスとして出力される。すなわち、ラッチパルス選択回路6は、制御信号SAL0及び制御信号SAL1のパルス出力を、入力される制御信号CA0Tのレベルにより出力制御する。

【0038】REバッファ15は、外部から入力される信号REBに対して、波形成形及び内部回路の電圧レベルへの変換を行い、変換結果として同じ位相の読み出し信号REを出力する。

【0039】ロウデコーダ10は、カウンタ回路2Uから入力されるロウアドレス信号RA0～ロウアドレス信号RA4、及びアドレスレジスタ1から入力されるロウアドレスRA5～ロウアドレスRA14のデコード処理を行い、ワード選択線WD0～ワード選択線WD16383の何れか1本を活性化させ、メモリセルアレイ9においてこのワード線に接続されているメモリセルトランジスタのゲートに「L」レベルの電圧を与え、選択された以外のワード選択線全てを非活性化させ、メモリセルアレイ9においてこのワード線に接続されているメモリセルのメモリセルトランジスタのゲートに「H」レベル（エンハンスメント型のメモリセルトランジスタのしきい値以上）の電圧を与える。

【0040】カラムデコーダ11は、カウンタ回路2Dから入力されるカラムアドレス信号CA0～カラムアドレス信号CA4のデコード処理を行い、Yセクタ12

を構成するYスイッチ（nチャンネル型トランジスタ）をオン状態とするため、制御信号YS0～制御信号YS31の何れか1本を活性化（「H」レベル状態）させ、上述したYスイッチのゲートに「H」レベルの電圧を与える。ここで、デジット線DG0～デジット線DG4095の全てには、各々Yスイッチを構成するトランジスタが接続されている。

【0041】メモリセルアレイ9は、ワード選択線WD0～ワード選択線WD16383と、デジット（ビット）線DG0～デジット（ビット）線DG4095とが各々マトリクス状に交差し、各々の交点に、図示しないメモリセルトランジスタが設けられている。このメモリセルは、NAND型であり、メモリセルトランジスタに記憶される情報が、このトランジスタのしきい値により表されている。すなわち、このNAND型の接続では、例えば、メモリセルトランジスタがnチャンネル型である場合、メモリセルトランジスタのゲートにn型の不純物をイオン注入することでディプレッション型として「1」のデータを表し、メモリセルトランジスタのゲートにイオン注入をせずにエンハンスメント型として「0」のデータを表している。

【0042】このとき、NAND型として、ソースとドレインとが各々他のメモリセルトランジスタへ接続されたメモリセルトランジスタ（nチャンネル型）は、各々ゲートがワード選択線WD0～ワード選択線WD16383の何れかへ接続され、最終段のメモリセルトランジスタのソースが接地され、初段のメモリセルトランジスタのドレインがデジット線DG0（デジット線DG1～デジット線DG4095）へ接続されている。この場合、ワード選択線WD0が活性化（「L」レベル状態）され、他のワード選択線が非活性化（「H」レベル状態）されると、デジット線DG0には、活性化されたワード線WD0がゲートに接続されているメモリセルトランジスタに記憶されているデータに対応した電流値の情報電流が流れ、この情報電流（データ信号YD0～データ信号YD127）がセンスアンプ回路8へ出力される。

【0043】すなわち、活性化されたワード選択線にゲートが接続されたメモリセルトランジスタに「1」のデータが書き込まれている場合、メモリセルトランジスタはディプレッション型となっているため電流が流れる。一方、活性化されたワード選択線にゲートが接続されたメモリセルトランジスタに「0」のデータが書き込まれている場合、メモリセルトランジスタはエンハンスメント型となっているため電流が流れない。

【0044】ここで、活性化されたワード選択線の電圧は、エンハンスメント型のメモリセルトランジスタのしきい値以下とし、エンハンスメント型のメモリセルトランジスタをオフ状態とし、電流が流れないようにする。また、非活性化されたワード選択線の電圧は、エンハンスメント型のメモリセルトランジスタのしきい値以上と

し、エンハンスメント型のメモリセルトランジスタをオン状態とし、電流が流れるようにする（選択されたメモリセルトランジスタ以外の他のメモリセルトランジスタを配線と同様に導通状態とする）。これにより、選択されたメモリセルトランジスタに「1」が書き込まれているとき、初段のメモリセルトランジスタのドレインから、最終段のメモリセルトランジスタのソースを介して、接地点に情報電流が流れる状態となる。

【0045】一方、選択されたメモリセルトランジスタに「0」が書き込まれているとき、初段のメモリセルトランジスタのドレインから最終段のメモリセルトランジスタのソースを介して、接地点に情報電流が流れない状態となる。そして、上記情報電流がメモリセルトランジスタに記憶されているデータを示している。これにより、デジット線DG0～デジット線DG4095に流れる情報電流は、Yセクタ12を介してセンスアンプ回路8へ供給される。

【0046】Yセクタ12は、カラムデコーダ11から入力される制御信号YS0～制御信号YS31の何れかが活性化（「H」レベルとなる）すると、活性化された制御信号（制御信号YS0～制御信号YS31の何れか）がゲートに接続されているYスイッチがオン状態となり、対応する128本のデジット線が、それぞれに接続されたYスイッチを介してセンスアンプ回路8へ各々接続される。

【0047】例えば、カラムデコーダ11が制御信号YS0を活性化すると、Yセクタ12において、デジット線DG0～デジット線DG15、デジット線DG512～デジット線DG527、デジット線DG1024～デジット線DG1039、デジット線DG1536～デジット線DG1551、デジット線DG2048～デジット線DG2063、デジット線DG2560～デジット線DG2575、デジット線DG3072～デジット線DG3087、デジット線DG3584～デジット線DG3599（1ページ分のデータ）に各々接続されているYスイッチがオン状態となり、デジット線DG0～デジット線DG15、デジット線DG512～デジット線DG527、デジット線DG1024～デジット線DG1039、デジット線DG1536～デジット線DG1551、デジット線DG2048～デジット線DG2063、デジット線DG2560～デジット線DG2575、デジット線DG3072～デジット線DG3087、デジット線DG3584～デジット線DG3599が各々Yスイッチを介して、センスアンプ回路8に接続され、各々のセンスアンプ回路8へ接続されたデジット線に流れる情報電流が、信号YD0～信号YD127としてセンスアンプ回路8へ出力する。

【0048】ここで、デジット線DG0～デジット線DG4095は、例えば、出力端子TO0～出力端子TO7各々に対して、それぞれデジット線DG0～デジット線DG511、デジット線DG512～デジット線DG1023、デジット線1024～デジット線1535、デジット線1536～デジット



線2047, デジット線DG2048~デジット線DG2559, デジット線DG2560~デジット線DG3071, デジット線DG3072~デジット線DG3583, デジット線3584~デジット線4095の各々のデジット線が対応している。

【0049】例えば、デジット線DG0~デジット線DG511において、出力端子TO0に対してはデジット線DG0~デジット線DG15、出力端子TO1に対してはデジット線DG16~デジット線DG31、出力端子TO2に対してはデジット線DG32~デジット線DG47、出力端子TO3に対してはデジット線DG48~デジット線DG63、出力端子TO4に対してはデジット線DG64~デジット線DG79、出力端子TO5に対してはデジット線DG80~デジット線DG95、出力端子TO6に対してはデジット線DG96~デジット線DG111、出力端子TO7に対してはデジット線DG112~デジット線DG127が、各々対応している。

【0050】そして、デジット線DG0~デジット線DG511のデータは、バースト読み出しの度に2 byte (例えば、デジット線DG0~デジット線DG15) ずつの組を構成して、1ビットずつ順に、出力端子TO0から、順次出力される。他の出力端子TO1~出力端子TO7においても同様に、デジット線DG0~デジット線DG511にいて対応するデジット線から、バースト読み出しの度に2 byte ずつの組を構成して、1ビットずつ順にデータが出力される。

【0051】センスアンプ回路8は、16 byte (1ページ) 分の、すなわち128個のセンスアンプから構成されており、各々のセンスアンプが、Yセクタ12から入力される情報電流、すなわち信号YD0~信号YD127により、メモリセルに記憶されているデータの判定を行い、例えばデータが書き込まれている場合には「H」レベル、またデータが書き込まれていない場合には「L」レベルのデータ信号(データ信号DT0~データ信号DT127)を出力する。

【0052】ラッチ回路7は、センスアンプ回路8から出力されるデータ信号DT0からデータ信号DT127を、1つが128個のラッチからなる、内部に設けられた2つのラッチグループ、すなわち第1のラッチグループまたは第2のラッチグループのいずれか一方に、制御信号CAOTと、ラッチ信号SAL0またはラッチ信号SAL1とにより選択してラッチする。ここで、ラッチ回路7は、制御信号CAOTが「L」レベルのとき、第1のラッチグループがデータ保持用として選択され、制御信号CAOTが「H」レベルのとき、第2のラッチグループがデータ保持用として選択されている。

【0053】すなわち、例えば、制御信号CAOTが「L」レベルのとき、デジット線DG0~デジット線DG127に対応したデータ信号DT0~データ信号DT127を第1のラッチグループにラッチ信号SAL0によりラッチし、次に、制御信号CAOTが「H」レベルのと

き、デジット線DG128~デジット線DG255に対応したデータ信号DT0~データ信号DT127を第2のラッチグループにラッチ信号SAL1によりラッチする。

【0054】また、ラッチ回路7は、第1のラッチグループに記憶されているデータ信号DT0からデータ信号DT127を、各々データ信号DTA0~データ信号DTA127として、第2のラッチグループに記憶されているデータ信号DT0からデータ信号DT127を、各々データ信号DTB0~データ信号DTB127として、ラッチ出力セクタ16へ出力する。

【0055】ラッチ出力セクタ16は、ラッチ回路7から出力される、データ信号DTA0~データ信号DTA127の第1のラッチグループの出力、及びデータ信号DTB0~データ信号DTB127の第2のラッチグループの出力のどちらかを、ラッチ制御回路17からの制御信号CAOBに基づき、データ信号DL0~データ信号DL127としてページセクタ13へ出力する。すなわち、ラッチ出力セクタ16は、制御信号CAOBが「L」レベルのとき、第1のラッチグループの出力をページセクタ13へ出力し、制御信号CAOBが「H」レベルのとき、第2のラッチグループの出力をページセクタ13へ出力する。

【0056】ラッチ制御回路17は、カウンタ回路2Uからカラム系の最下位アドレスのカラムアドレス信号CA0を入力し、所定の時間遅延させて、制御信号CAOB(カラムアドレス信号CA0と逆極性)及び制御信号CAOT(カラムアドレス信号CA0と同一極性)を生成する。また、ラッチ制御回路17は、生成した制御信号CAOBをラッチ出力セクタ16へ出力し、生成した制御信号CAOTをラッチ回路7及びラッチパルス回路6へ出力する。このとき、ラッチ回路7において、制御信号CAOTが「L」レベルのとき、第1のラッチグループがデータ保持用として選択され、制御信号CAOTが「H」レベルのとき、第2のラッチグループがデータ保持用として選択される。また、ラッチ出力セクタ16は、制御信号CAOBが「L」レベルのとき、第1のラッチグループの各ラッチの出力をデータ出力用として選択してページセクタ13へ出力し、制御信号CAOBが「H」レベルのとき、第2のラッチグループの各ラッチの出力をデータ出力用として選択してページセクタ13へ出力する。

【0057】ページセクタ13は、ページデコーダ18から出力される制御信号PAGE0~制御信号PAGE15の値に基づき、ラッチ出力セクタ16から出力されるデータ信号DL0~データ信号DL127(ラッチグループの各ラッチの出力)を、出力端子TO0~出力端子TO7の各々に対応させ、出力バッファ回路14へ1ビットずつ出力させる。例えば、出力端子TO0に注目すると、制御信号PAGE0~制御信号PAGE15が、「00000000000000001」,「00000

000000000010」, ~, 「0100000000000000」, 「1000000000000000」の16通りに変化する毎に、順次、ラッチ出力セクタ16から出力されているデータ信号DL0~データ信号DL15を出力端子T00から出力させる。ここで、「1000000000000000」の最上位(左端)ビットは制御信号PAGE15であり、最下位ビット(右端)は制御信号PAGE0である。

【0058】ページデコーダ18は、カウンタ回路2Dから入力されるページアドレス信号PA0~ページアドレス信号PA3をデコードして、制御信号PAGE0~制御信号PAGE15をページセクタ13へ出力する。例えば、ページアドレス信号PA0~ページアドレス信号PA3を、「0000」, 「0001」, ~, 「1110」, 「1111」としたとき、制御信号PAGE0~制御信号PAGE15を「000000000000000001」, 「000000000000000010」, ~, 「010000000000000000」, 「100000000000000000」として出力する。ここで、「0000」の最上位(左端)ビットはページアドレス信号PA3であり、最下位ビット(右端)はページアドレス信号PA0である。

【0059】センスアンプ制御回路19は、レーテンシー期間における、センスアンプ回路8がYセクタ12から入力されるデータ信号YD0~データ信号YD127のデータを判定するタイミング、すなわちセンスアンプ回路8の駆動を制御する制御信号SAEBを、制御信号T0及び制御信号T1に基づき生成し、この制御信号SAEBをセンスアンプ回路8へ出力する。

【0060】このとき、センスアンプ回路8は、制御信号SAEBが「L」レベルのときに、活性(駆動状態)化され、制御信号SAEBが「H」レベルのときに、非活性(非駆動状態)化され、Yセクタ12を介してメモリセルアレイ9から入力されるデータ信号YD0~データ信号YD127に基づき、メモリセルアレイ9において選択されたメモリセルトランジスタに記憶されているデータの判定を行う。

【0061】BUSY信号発生回路20は、ATD回路3から入力される制御信号T0、DELAY回路5から入力される制御信号SALS、及びセンスアンプ制御パルス選択回路23とに基づき、この半導体記憶装置がシステムにより使用中であるか否かを示す制御信号のREADY/BUSY信号を外部ピンから出力する。

【0062】このとき、半導体記憶装置は、READY/BUSY信号が「L」レベルのときデータ読み出し中のBUSY状態(レーテンシー状態)であり、新たなアクセスが出来ないことを示しており、READY/BUSY信号が「H」レベルのときデータの読み出しが完了したREADY状態(サイクル動作状態)であり、新たなアクセスが行えることを示している。

【0063】出力バッファ14は、ページセクタ13から入力されるデータ信号D0~データ信号D7を、各々出力端子T0、..., 出力端子T7へ、制御信号REが入力される毎に、制御信号REの「H」レベルの時点で出力する。イネーブル回路25は、例えば、インバータ22及びナンド回路23から構成されており、CEバッファ21の出力する信号から、制御信号CS及び制御信号CEBを各々出力する。

【0064】ここで、制御信号CEBは、CEバッファ21の出力する信号をインバータ22により、信号レベルを反転した信号であり、出力バッファ14へ出力されている。出力バッファ14は、例えば、この入力される制御信号CEBが「L」レベルの場合にデータの出力状態となり、「H」レベルの場合にハイインピーダンス状態となる。

【0065】また、制御信号CSは、ナンド回路23及びインバータ24により、センスアンプ制御回路19の出力する制御信号SAEBと制御信号CEBとの否定的論理積の演算の結果として、アドレスレジスタ1、DELAY回路5及びロウデコーダ10に出力されている。すなわち、イネーブル回路25は、制御信号SAEBおよび制御信号CEBのいずれか一方でも「L」レベルの場合に、「H」レベルの制御信号CSを出力する。これにより、制御信号CSは、チップセレクト信号CEが「L」レベルとなった後も、制御信号SAEBが「L」レベルの期間、すなわち、メモリセルアレイ9における選択されたメモリセルトランジスタに記憶されているデータを読み出し、このデータをラッチ回路7の第1または第2のラッチグループのいずれかへ記憶させている期間、イネーブル状態で出力されている。

【0066】アドレスレジスタ1においては、例えば、制御信号CSが「H」レベルの期間、入力されたアドレス信号AD0~アドレス信号AD23を記憶し、一方、制御信号CSが「L」レベルとなると、記憶されていたアドレス信号AD0~アドレス信号AD23が消失する。DELAY回路5においては、例えば、制御信号CSが「H」レベルの期間、ATD回路3から入力される制御信号T0に基づき、制御信号SALF及び制御信号SALSを出力し、制御信号CSが「L」レベルとなると、制御信号SALF及び制御信号SALSの出力が行われない。

【0067】ロウデコーダ10においては、例えば、制御信号CSが「H」レベルの期間、入力されるロウアドレスA0からロウアドレスA14までの値に基づき、ワード線WD0~ワード線WD16383のいずれかを活性化(「L」レベル)させ、制御信号CSが「L」レベルとなると、選択されていたワード線を非活性化して全てのワード線を「H」レベルとする。

【0068】上述の構成により、制御信号CSが入力されるアドレスレジスタ1、DELAY回路5及びロウデ

コード10は、ラッチ回路7にメモリセルアレイ9から読み出されたデータがラッチ回路7に書き込まれている期間に、チップイネーブル信号CEが「L」レベルとなり、半導体記憶装置がスタンバイ状態となった場合にも、制御信号SAEBが出力されている期間において、制御信号CSが「H」レベルに保持されるので、イネーブル状態（動作状態）が継続される。この結果、メモリセルアレイ9から読み出されたデータは、チップイネーブル信号CEが「L」レベルとなり、半導体記憶装置がスタンバイ状態となった場合においても、確実にラッチ回路7に書き込まれる。

【0069】次に、図1及び図2を参照して、一実施形態による半導体記憶装置の動作を説明する。図2は、一実施形態による半導体記憶装置の読み出し動作のサイクル動作期間における動作例を示すタイミングチャートである。また、レーテンシー期間（バースト出力の開始アドレスの設定期間）において、本発明の半導体記憶装置は、設定されたバースト出力の開始アドレスから第1のラッチグループ及び第2のラッチグループの各々のラッチに、順次、センスアンプ回路8から出力されるアドレスのデータ信号DT0～データ信号DT127をラッチする。

【0070】そして、サイクル動作期間（データのバースト読み出しを行う期間）において、ラッチ回路7は、制御信号SAL0、制御信号SAL1及び制御信号CA0Bにより、第1のラッチグループ及び第2のラッチグループにおける、何れか一方のラッチグループにラッチされているデータを出力しているとき、他方のラッチグループにセンスアンプ回路8からのデータ信号DT0～データ信号DT127をラッチする動作を行う。

【0071】そして、一実施形態の半導体記憶装置は、第1のラッチグループ及び第2のラッチグループにおいて、ラッチパルス選択回路6及びラッチ制御回路17の制御により、順次、データを出力するラッチグループと、データをラッチするグループとを交互に交換しながら、データのバースト読み出しを行う。これにより、外部から制御信号REBが入力される毎に、制御信号CA0Bにより選択された、第1のラッチグループ及び第2のラッチグループの何れかから、各ラッチ記憶されているデータが順に出力される。

【0072】時刻t0において、データが読み出されているラッチグループを第2のラッチグループとする。このとき、制御信号CA0Bは「H」レベルであり、第2のラッチグループの出力するデータを、ページセクタ13へ出力する。また、ページセクタ13は、ページデコード18の制御信号PAGE0～制御信号PAGE15の「100000000000000000」に基づき、例えば、ラッチ出力セクタ16から入力される最後のデータ信号DL15を出力バッファ14を介し、出力端子T0へ出力している。他の出力端子T1～出力端子T

7においても同様に対応したデータ信号DL16～データ信号DL127のいずれかが出力される。

【0073】そして、カウンタ回路2Dは、制御信号REBが入力される毎に、REバッファ15から出力される信号REを計数しており、「16」を計数した後、すなわち、ページアドレス信号PA0～ページアドレス信号PA3が「1111」から「0000」にカウントアップするとき、カウントアップ信号CRを「L」レベルのパルスで出力する。これにより、ATD回路3は、カウントアップ信号CRのパルスの立ち下がりにより、制御信号T0を「L」レベルのパルスで出力する。

【0074】そして、DELAY回路5は、制御信号T0のパルスの立ち下がりに対応して、制御信号T1を「L」レベルのパルスで出力する。これにより、センスアンプ制御回路19は、DELAY回路5から出力される制御信号T1の立ち下がりにより、制御信号SAEBを「L」レベルとし、センスアンプ回路8を活性化する。

【0075】そして、カウンタ回路2Uは、カウントアップ信号CRが入力されることにより、計数動作を行い、計数値をカラムアドレスCA0～カラムアドレスCA4及びロウアドレス信号RA0～ロウアドレス信号RA4として出力する。このとき、ロウデコード10は、ロウアドレス信号RA0～ロウアドレス信号RA14の値に基づき、いずれかのワード線を活性化する。

【0076】また、Yセクタ12は、カラムデコード11からのカラムアドレス信号CA0～カラムアドレス信号CA4の数値に基づき、上記活性化されたワード線がゲートに接続されたメモリセルトランジスタのデータを、信号YD0～信号YD127としてセンスアンプ回路8へ出力する。

【0077】次に、時刻t00において、ラッチ制御回路17は、カウンタ回路2Uが入力されるカウントアップ信号CRにより計数動作を行うことにより、カラムアドレス信号CA0が「L」レベルから「H」レベルに変更されるため、制御信号CA0Tを「L」レベルから「H」レベルに変更し、制御信号CA0Bを「H」レベルから「L」レベルに変更する。これにより、ラッチ出力セクタ16は、第2のラッチグループの各ラッチの出力に代え、第1のラッチグループの各ラッチの出力をページセクタ13へ出力する。

【0078】次に、時刻t1～時刻t13において、カウンタ回路2Dは、制御信号REが入力される毎に、この制御信号REの立ち下がりにより、計数動作を行い、この計数値をページアドレス信号PA0～ページアドレス信号PA3として出力する。また、ページセクタ13は、順次、第1のラッチグループにおいて、ページデコード18の出力する制御信号PAGE0～制御信号PAGE15に対応したラッチに記憶されているデータを出力バッファ14を介して、出力端子T0～出力端子T7へ出

力する。

【0079】次に、時刻 $t_{133}$ において、DELAY回路5は、入力される制御信号T0を遅延させて、制御信号SALF及び制御信号SALSを出力する。このDELAY回路5が遅延させる時間 $T_d$ は、制御信号T1の立ち下がり（すなわち、制御信号T0の立ち下がり同期して）から、センスアンプ回路8の出力するデータが安定した出力となる時間までの時間で規定される。

【0080】このとき、制御信号SALF及び制御信号SALSの波形の立ち上がりは、ラッチ回路7にデータ信号DT0～データ信号DT127を正確にラッチさせるため、制御信号SAEBの立ち上がりより早いタイミングに行われる必要がある。このため、センスアンプ制御回路19は、入力される制御信号SALF及び制御信号SALSの立ち下がりに基づき、制御回路SAEBを「L」レベルから「H」レベルに遷移させる。

【0081】次に、時刻 $t_{135}$ において、ラッチパルス選択回路6は、第2のラッチグループにセンスアンプ回路8の出力する信号DTのデータをラッチするために、ラッチ信号SAL1をラッチ回路16へ出力する。これにより、センスアンプ回路8から出力されているデータ信号DT0～データ信号DT127の各々は、第2のラッチグループの各々の対応するラッチへラッチ（記憶）される。

【0082】そして、センスアンプ制御回路19は、制御信号T0のパルスの立ち上がりに基づき、DELAY回路5の出力する制御信号SALS（または制御信号SALF）のパルスの立ち下がりにより、制御信号SAEBを「L」レベルから「H」レベルへと遷移させる。

【0083】次に、時刻 $t_{14}$ ～時刻 $t_{16}$ において、カウンタ回路2Dは、制御信号REBが入力される毎に計数動作を行い、この計数値をページアドレス信号PA0～ページアドレス信号PA3として出力する。また、ページセクタ13は、順次、第1のラッチグループにおいて、ページデコード18の出力する制御信号PAGE0～制御信号PAGE15に対応した、第1のラッチグループの各ラッチに記憶されているデータを、出力バッファ14を介して、出力端子T0～出力端子T7へ出力する。

【0084】次に、時刻 $t_{66}$ において、データが読み出されているラッチグループは、第1のラッチグループであり、制御信号CAOBは「L」レベルであり、第1のラッチグループの各ラッチの出力するデータを、ページセクタ13へ出力する。また、ページセクタ13は、ページデコード18の制御信号PAGE0～制御信号PAGE15の「1000000000000000」に基づき、例えば、ラッチ出力セクタ16から入力される最後のデータ信号DL15を出力バッファ14を介し、出力端子T0へ出力している。さらに、他の出力端子T1～出力端子T7においても同様に対応したデータ信号DLが出力される。

【0085】そして、ATD回路3は、カウントアップ信号CRのパルスの立ち下がりに同期して、制御信号T0を「L」レベルのパルスで出力する。また、DELAY回路5は、制御信号T0のパルスの立ち下がりに同期して、制御信号T1を「L」レベルで出力する。

【0086】これにより、センスアンプ制御回路19は、DELAY回路5から出力される「L」レベルのパルスの制御信号T1の立ち下がり同期して、制御信号SAEBを「L」レベルとし、センスアンプ回路8を活性化する。そして、カウンタ回路2Uは、カウントアップ信号CRが入力されることにより、計数動作を行い、計数値をカラムアドレスCA0～カラムアドレスCA4及びロウアドレス信号RA0～ロウアドレス信号RA4として出力する。

【0087】そして、ラッチ制御回路17は、カウンタ回路2Uが計数動作を行うことで、カラムアドレス信号CA0が「H」レベルから「L」レベルに変更されることにより、信号CA0Tを「H」レベルから「L」レベルに変更し、制御信号CAOBを「L」レベルから「H」レベルに変更する。これにより、ラッチ出力セクタ16は、第1のラッチグループの各ラッチの出力に代えて、第2のラッチグループの各ラッチの出力をページセクタ13へ出力する。

【0088】このとき、ロウデコード10は、ロウアドレス信号RA0～ロウアドレス信号RA14の値に基づき、いずれかのワード線を活性化する。また、Yセクタ12は、カラムデコード11からのカラムアドレス信号CA0～カラムアドレス信号CA4の数値に基づき、上記活性化されたワード線がゲートに接続されたメモリセルトランジスタのデータを、信号YD0～信号YD127としてセンスアンプ回路8へ出力する。

【0089】次に、時刻 $t_{17}$ ～時刻 $t_{22}$ において、カウンタ回路2Dは、制御信号REBが入力される毎に計数動作を行い、この計数値をページアドレス信号PA0～ページアドレス信号PA3として出力する。また、ページセクタ13は、順次、第2のラッチグループにおいて、ページデコード18の出力する制御信号PAGE0～制御信号PAGE15に対応した、第2のラッチグループの各ラッチに記憶されているデータを、出力バッファ14を介して、出力端子T0～出力端子T7へ出力する。サイクル動作において、本願発明の半導体記憶装置は、上述した処理を制御信号REBが入力される毎に繰り返す。

【0090】次に、図1及び図3を用いて、イネーブル回路25の動作を説明する。図3は、イネーブル回路25の動作例を示すタイミングチャートである。チップイネーブル信号CEが「H」レベルで、ラッチ回路7において、第2のラッチグループのデータが読み出され、第1のラッチグループにデータが書き込まれる（ラッチ）状態とする。

【0091】時刻 $t_{50}$ において、第2のラッチグループの最後のラッチのデータが読み出しが終了する。このとき、すでに、第1のラッチグループには、センスアンプ回路8から出力された次に読み出されるデータが、ラッチパルス選択回路6から出力された制御信号SALOのパルスによりラッチされている。

【0092】そして、カウンタ回路2Dは、入力される制御信号REのパルスの立ち下がりにより計数動作を行い、カウンタアップすることによりカウンタアップ信号CRをパルスとして出力する。これにより、ATD回路3は、カウンタアップ信号CRの入力により、制御信号TOを出力する。

【0093】そして、図2のタイミングチャートで説明したように、センスアンプ制御回路19は、制御信号TOに基づき、制御信号SAEBを「H」レベルから「L」レベルへ遷移させ、センスアンプ回路8を活性化させる。これにより、センスアンプ回路8は、ロウデコード10により活性化されたワード線にゲートが接続されたメモリセルトランジスタのデータを、Yセクタ12を介して入力し、記憶されているデータの判定を行い、データ信号DT0～データ信号DT127として出力する。また、カウンタ回路2Uは、例えば、カウンタアップ信号CRが入力されることにより計数動作を行い、出力するカラムアドレス信号CA0を「L」レベルから「H」レベルへ遷移させる。この結果、ラッチ制御回路17は、制御信号CAOBを「H」レベルから「L」レベルへ変更し、制御信号CAOTを「L」レベルから「H」レベルへ変更する。

【0094】そして、ラッチ制御回路17は、カラムアドレス信号CA0が「L」レベルから「H」レベルへ遷移されることにより、制御信号CAOBを「H」レベルから「L」レベルへ遷移させ、ラッチ回路7における第1のラッチグループの各々のラッチからのデータ信号DTB0～データ信号DTB127をページセクタ13へ出力させる。これにより、第2のラッチグループは、メモリセルアレイ9から読み出され、センスアンプ回路8によりデータ判定が行われたデータをラッチ可能な状態となる。

【0095】次に、時刻 $t_{51}$ において、半導体記憶装置をスタンバイ状態とするため、図示しないCPU（中央処理装置）等により、チップイネーブル信号CEが「H」レベルから「L」レベルへ遷移される。これにより、イネーブル回路25は、CEバッファ21からの入力信号が「H」レベルから「H」レベルに変化するが、この時点において制御信号SAEBが「L」レベルのため、制御信号CSを継続して「H」レベルで出力する。

【0096】この結果、アドレスレジスタ1、ロウデコード10及びDELAY回路5は、制御信号CSが「H」レベルのため、動作状態が継続されるので、メモリセルアレイ9の選択されたメモリセルトランジスタか

らのデータの読み出しも、同様に継続して行われる。しかしながら、出力バッファ14は、チップイネーブル信号CEが「H」レベルから「L」レベルへ遷移したとき、出力をハイインピーダンス状態とする必要がある。

【0097】このため、出力バッファ14には制御信号CEBが入力されている。このイネーブル回路25は、制御信号CEBを、チップイネーブル信号CEに対応して変化させるため、すなわち、チップイネーブル信号CEが「H」レベルのとき、制御信号CEBを「L」レベルで出力し、チップイネーブル信号CEが「L」レベルのとき、制御信号CEBを「H」レベルで出力する。

【0098】ここで、出力バッファ14は、制御信号CEBが「L」レベルのとき、動作状態で制御信号REの入力に連動して、データの出力が行える状態にあり、一方、制御信号CEBが「H」レベルのとき、スタンバイ状態となり、各出力端子TO0～出力端子TO7をハイインピーダンス状態とする。すなわち、半導体記憶装置をスタンバイ状態とするのは、他の半導体装置がデータバスを使用するため、データの衝突を避けるために、出力端子TO0～出力端子TO7をハイインピーダンス状態とする必要があるためである。

【0099】次に、時刻 $t_{52}$ において、DELAY回路5は、時刻 $t_{50}$ における制御信号TOの「L」レベルのパルスを遅延させ、「L」レベルのパルスの制御信号SALF及び制御信号SALSを出力する。これにより、制御信号SAL1のパルスは、立ち上がる（「L」レベルから「H」レベルへ遷移する）。次に、時刻 $t_{53}$ において、DELAY回路5は、制御信号SALF及び制御信号SALSを「L」レベルから「H」レベルへ遷移させる。これにより、制御信号SAL1のパルスは、立ち下がる（「H」レベルから「L」レベルへ遷移する）。

【0100】これにより、センスアンプ回路8から出力されているデータ信号DT0～データ信号DT127は、ラッチ回路7の第2のラッチグループの対応する各ラッチに、制御信号SAL1のパルスの立ち下がりによりラッチされる。そして、時刻 $t_{54}$ において、センスアンプ制御回路19は、制御信号SALF及び制御信号SALSのパルスの立ち上がりにより、制御信号SAEBを「L」レベルから「H」レベルに遷移させる。

【0101】そして、ラッチ回路7は、非活性化し、データ信号DT0～データ信号DT127の出力を停止する。また、イネーブル回路25は、制御信号CSを、「H」レベルから「L」レベルへ遷移させる。これにより、アドレスレジスタ1、DELAY回路5及びロウデコード10は、制御信号CSが「L」レベルとなることにより、動作状態からスタンバイ状態に移行する。

【0102】そして、時刻 $t_{55}$ において、チップイネーブル信号CEが「L」レベルから「H」レベルに変更されることにより、イネーブル回路25は、制御信号CSを「L」レベルから「H」レベルへ遷移させ、制御信号

CEBを「H」レベルから「L」レベルに遷移させる。これにより、アドレスレジスタ1、DELAY回路5、ロウデコーダ10及び出力バッファ14は、スタンバイ状態から動作状態に移行する。

【0103】上述したように、メモリセルアレイ9の選択されたメモリセルトランジスタからデータを読み出しているとき、チップイネーブル信号CEが「L」レベルとなり、半導体記憶装置がスタンバイ状態に移行する場合、イネーブル回路25は、このメモリセルアレイ9のメモリセルトランジスタから読み出されたデータを、ラッチ回路7の第1または第2のラッチグループの何れかにラッチするまで、メモリセルアレイ9からの読み出し処理に必要な構成、アドレスレジスタ1、DELAY回路5及びロウデコーダ10に対する制御信号CSを「H」レベルで継続して出力する。

【0104】これにより、アドレスレジスタ1、DELAY回路5及びロウデコーダ10は、第1または第2のラッチグループの何れかにラッチするまで動作状態にある。この結果、メモリセルアレイ9から読み出されたデータは、第1または第2のラッチグループの何れかにおいて、ラッチパルス選択回路6によりラッチ状態に指定されているラッチグループの各ラッチにラッチ（記憶）される。

【0105】すなわち、図4に示すように、例えば、カウンタ回路2Dがページアドレス信号PA0～ページアドレス信号PA3が「1100」のとき、すなわち、出力端子T00においてデータ信号DL11が出力された後、チップイネーブル信号CEが「L」レベルとなったとする。このとき、制御信号CA0Bが「L」レベルであり、ラッチ回路7における第1のラッチグループがデータの出力状態となっており、制御信号CA0Tが「H」レベルであり、第2のラッチグループにデータがラッチされる状態となっている。

【0106】図4は、メモリセルアレイ9から読み出されたデータがラッチ回路7へ書き込まれるときに、チップイネーブル信号CEが「L」レベルとなったときの、イネーブル回路25の動作を説明する図である。また、一実施形態による半導体記憶装置において、チップイネーブル信号CEが「H」レベルであるときの読み出し動作は、図7の従来例の読み出し動作と同様である。

【0107】時刻t100において（12番目のバイトが出力されたとき）、チップイネーブル信号CEが「L」レベルとなり、半導体記憶装置がスタンバイ状態になっても、制御信号CSがイネーブル回路25から「H」レベルのままで継続して出力されるため、ワード線及び制御信号SAEBは、動作状態のまま、継続してセンスアンプ制御回路19からデータ信号DT0～データ信号DT127が出力される。図4においては、出力端子T00～出力端子T07から、順次、第1のラッチグループ（0番バイトから15番バイトまで）のデータが出力される

状態を示している。このとき、イネーブル回路25は、制御信号CEBを「L」レベルから「H」レベルとする。この結果、出力端子T00～出力端子T07は、ハイインピーダンス状態となり、データ信号の出力を停止する。

【0108】次に、時刻t101において、ラッチパルス選択回路6からの制御信号SAL1（ラッチ信号）により、センスアンプ回路8から出力されているデータ信号DT0～データ信号DT127（すなわち、次に出力される16番バイト～31番バイト）を、第2のラッチグループの各ラッチにラッチさせる。

【0109】そして、時刻t102において、制御信号SAEBが「L」レベルから「H」レベルに遷移され、これにより、制御信号CSが「H」レベルから「L」レベルとなり、アドレスレジスタ1、DELAY回路5及びロウデコーダ10がスタンバイ状態となり、半導体記憶装置は完全なスタンバイ状態に移行する。

【0110】時刻t103において、チップイネーブル信号CEが「H」レベルとなり、半導体記憶装置は、スタンバイ状態から動作状態に移行し、制御信号REが入力されることにより、データ出力を再度開始される。そして、時刻t104において、第1のラッチグループにおける16ページ目のデータが出力された後、第1のラッチグループがデータのラッチ状態となり、第2のラッチグループがデータの出力状態となる。このとき、制御信号REが入力される毎に、第2のラッチグループの各々のラッチからは、時刻t101においてラッチされたデータ（データ信号DTB0～データ信号DTB127）が順次出力される。

【0111】すなわち、本願発明の半導体記憶装置は、（A）領域において、チップイネーブル信号CEが「L」レベルとなっても、すぐにスタンバイ状態とせず、センスアンプ回路8の読み出したデータ信号DT0～データ信号DT127がラッチ回路7にラッチされるまで動作状態（アクティブ状態）としている。また、本願発明の半導体記憶装置は、（B）領域において、センスアンプ回路8の読み出したデータ信号DT0～データ信号DT127が、ラッチ回路7に正常にラッチされた後、ラッチ回路7以外の回路をスタンバイ状態に移行させる。

【0112】上述したように、本発明の半導体記憶装置によれば、チップイネーブル信号CEが「L」レベルとなり、半導体記憶装置がスタンバイ状態となった場合にも、制御信号SAEBが出力されている期間において、制御信号CSが「H」レベルに継続して保持されるので、メモリセルアレイ9のメモリセルトランジスタからのデータの読み出しに必要な回路（アドレスレジスタ1、DELAY回路5及びロウデコーダ10等）のアクティブ状態（動作状態）が継続され、メモリセルアレイ9から読み出されたデータを、確実に、データのラッチ



状態となっているラッチグループ（ラッチ回路7における第1のラッチグループまたは第2のラッチグループ）に書き込むことが可能である。

【0113】本発明の半導体記憶装置によれば、レーテンシー（BUSY）期間において、第1のラッチグループと第2のラッチグループとにデータの読み出し処理を終了させておくため、例えば第1のラッチグループが「1」byte目からではなく、最終byte目から読み出すようなアドレスの値におけるランダムアクセスにおいても、第2のラッチグループに記憶された「16」byte～「31」byteのデータを、出力端子から出力させる時間があるので、十分に次の「32」byte～「47」byteのデータを第1のラッチグループへ読み出す、センスアンプ回路8におけるセンスアンプのデータの判定時間を確保する事ができ、連続的なデータの出力が行え、アクセスタイムを向上させることが可能となる。

【0114】また、上述した半導体記憶装置は、ラッチ回路7のラッチを第1のラッチグループと第2のラッチグループとに分けて（または独立に）設けて、交互に記憶されているデータを出力端子から出力する構成としたため、一方のラッチグループに記憶されているデータを読み出しているとき、他方のラッチグループへセンスアンプ回路8から次のデータを記憶させるため、センスアンプのデータの判定時間を確保する事ができ、メモリセルアレイ9からのデジット線をセレクト回路12で選択してセンスアンプ回路8へ情報電流を供給する構成が可能となり、メモリセルトランジスタからデジット線へ読み出されるデータの判定を行うセンスアンプの数を減少させることができる。これにより、上述した半導体記憶装置は、減少された数のセンスアンプの形成面積の分、チップ面積を縮小でき、製造コストを削減することができる。

【0115】さらに、上述した半導体記憶装置は、センスアンプの数を減少させたため、センスアンプを駆動させるための駆動電流を減少させて、消費電力を低下させることができることができ、また、センスアンプの駆動時間をラッチ回路7へデータを記憶させる時間に限定したため、消費電力を低下させることができる。これにより、上述した半導体記憶装置は、消費電力を大幅に低下させることが可能となり、携帯情報機器に使用した場合、携帯情報機器の稼働時間を延ばすことが可能となる。

【0116】加えて、上述した半導体記憶装置は、Bus y期間中に、ラッチ回路7のへ第1のラッチグループと第2のラッチグループとの双方が、データの読み取りを完了したことを検出し、データの読み取りが完了したことを検出した場合、外部回路または外部装置に対して信号BUSYを出力するため、外部回路または外部装置がランダムアクセスの時間を半導体記憶装置のアクセスタイムに応じて変更が可能、例えば、短縮することがで

きる。

【0117】上述の説明では、マスクROMにより構成を説明してきたが、本発明はマスクROMに限らず、EPROM（プログラマブルROM）、EEPROM（電氣的消去可能プログラマブルROM）、フラッシュメモリ等に対して、高速読みだし、省電力を目的として応用することが可能である。

【0118】以上、本発明の一実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。

【0119】

【発明の効果】上述したように、本発明の半導体記憶装置によれば、チップイネーブル信号CEが「L」レベル（スタンバイ状態）となり、半導体記憶装置がスタンバイ状態となった場合にも、制御信号SAEBが出力されている期間において、イネーブル信号（制御信号CS）が「H」レベルに継続して保持されるので、メモリセルアレイからのデータの読み出しに必要な回路のアクティブ状態（動作状態）が継続され、メモリセルアレイ（メモリセルアレイ9）から読み出されたデータを、確実に、データのラッチ状態となっているラッチグループ（ラッチ回路7における第1のラッチグループまたは第2のラッチグループ）に書き込むことが可能である。

【0120】また、本発明の半導体記憶装置によれば、レーテンシー（BUSY）期間において、第1のラッチグループと第2のラッチグループとにデータの読み出し処理を終了させておくため、例えば第1のラッチグループが「1」byte目からではなく、最終byte目から読み出すようなアドレスの値におけるランダムアクセスにおいても、第2のラッチグループに記憶された「16」byte～「31」byteのデータを、出力端子から出力させる時間があるので、十分に次の「32」byte～「47」byteのデータを第1のラッチグループへ読み出す、センスアンプ回路8におけるセンスアンプのデータの判定時間を確保する事ができ、連続的なデータの出力が行え、アクセスタイムを向上させることが可能となる。

【0121】さらに、本発明の半導体記憶装置によれば、第1のラッチグループと第2のラッチグループとが設けられているため、交互に記憶されているデータを出力端子から出力する構成としたため、一方のラッチグループに記憶されているデータを読み出しているとき、他方のラッチグループへセンスアンプから次のデータを記憶させるため、センスアンプのデータの判定時間を確保する事ができ、メモリセルへ接続されるデジット線を複数のグループに分割し、そのグループの1つをセレクト回路により選択してセンスアンプへ接続し、センスアンプへ情報電流を供給する構成が可能となり、全デジット線にセンスアンプを設けた構成に比べて、メモリセルト

ランジスタからデジット線へ読み出されるデータの判定を行うセンスアンプの数を減少させることができ、また、センスアンプの数を減らして、任意のアドレスからバースト読み出し出来る構成としても、センスアンプにおけるデータの判定時間が確保されているため、ラッチの切り替わりでデータの出力レートが遅くなることなくデータの読み出しが行える。これにより、上述した半導体記憶装置は、減少された数のセンスアンプの形成面積の分、チップ面積を縮小でき、製造コストを削減することができる。

【0122】加えて、本発明の半導体記憶装置によれば、センスアンプの数を減少させたため、センスアンプを駆動させるための駆動電流を減少させて、消費電力を低下させることができることができ、また、第1のラッチグループまたは第2のラッチグループの何れかにデータを記憶させるときのみに、センスアンプを駆動時間を限定したため、消費電力を低下させることができる。すなわち、従来例では、センスアンプからシフトレジスタに転送するまでは、センスアンプ側が判定したデータを保持しておく必要があり、この判定したデータの転送時期が2バイト前のデータが出力し終わった時点であるため、センスアンプは非活性となる期間がない。

【0123】一方、本発明の半導体記憶装置によれば、第1のラッチグループまたは第2のラッチグループの2つのラッチグループを設けたため、一方のラッチグループからデータの読み出しが行われているとき、センスアンプにおけるセンス（データ判定）の動作が終了した時点で、センスアンプから判定された結果が他方のラッチグループへ転送され、必ずセンスアンプからいずれか一方のラッチグループへのデータ転送が行えるので、センスアンプがデータを保持する必要がなく、データ転送後にセンスアンプが非活性状態へ移行することができる。従って、上述した半導体記憶装置は、センスアンプの数を削減し、かつセンスアンプに非活性期間を設けたため、消費電力を大幅に低下させることが可能となり、携帯情報機器に使用した場合、携帯情報機器の稼働時間を従来例に比較して延ばすことが可能となる。

【0124】また、さらに、本発明の半導体記憶装置によれば、BUSY期間中に、第1のラッチグループと第2のラッチグループとの双方が、データの読み取りを完了したことを検出し、データの読み取りが完了したことを検出した場合、外部回路または外部装置に対して信号BUSYを出力するため、外部回路または外部装置がランダムアクセスの時間を半導体記憶装置のアクセスタイムに依拠して変更が可能、例えば、短縮することが可能となる。

#### 【図面の簡単な説明】

【図1】 本発明の一実施形態による半導体記憶装置の構成を示すブロック図である。

【図2】 本発明の一実施形態による半導体記憶装置の読み出し動作のサイクル動作期間における動作例を示すタイミングチャートである。

【図3】 図1におけるイネーブル回路25の読み出しの動作例を示すタイミングチャートである。

【図4】 メモリセルアレイ9から読み出されたデータがラッチ回路7へ書き込まれるときに、チップイネーブル信号CEが「L」レベルとなったときの、イネーブル回路25の動作を説明する図である。

【図5】 従来例による半導体記憶装置の読み出し動作の概要を示す図である。

【図6】 従来例による半導体記憶装置の読み出し動作の概要を示す図である。

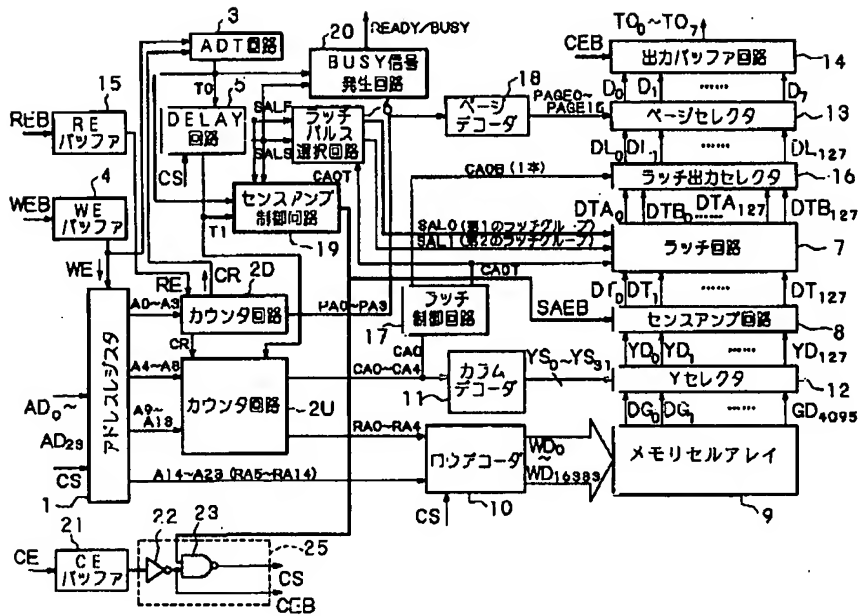
【図7】 従来例による半導体記憶装置の読み出し動作の概要を示す図である。

【図8】 従来例による半導体記憶装置の読み出し動作の概要を示す図である。

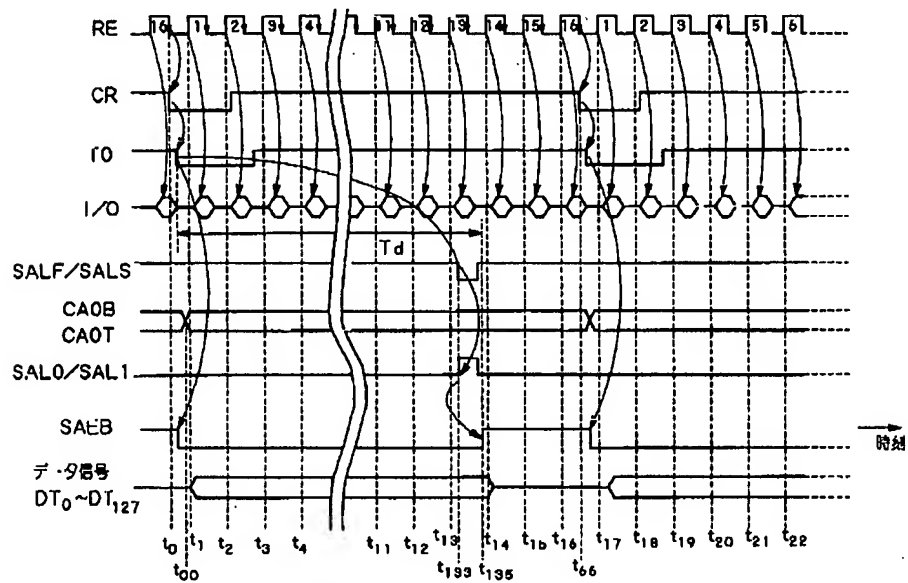
#### 【符号の説明】

- 1 アドレスレジスタ
- 2D, 2U カウンタ回路
- 3 ATD回路
- 4 WEバッファ
- 5 DELAY回路
- 6 ラッチパルス選択回路
- 7 ラッチ回路
- 8 センスアンプ回路
- 9 メモリセルアレイ
- 10 ロウデコーダ
- 11 カラムデコーダ
- 12 Yセクタ
- 13 ページセクタ
- 14 出力バッファ
- 15 REバッファ
- 16 ラッチ出力セクタ
- 17 ラッチ制御回路
- 18 ページデコーダ
- 19 センスアンプ制御回路
- 20 BUSY信号発生回路
- 21 CEバッファ
- 22 インバータ
- 23 ナンド回路
- 25 イネーブル回路

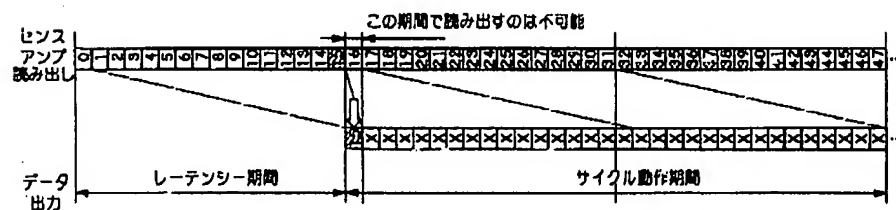
【図1】



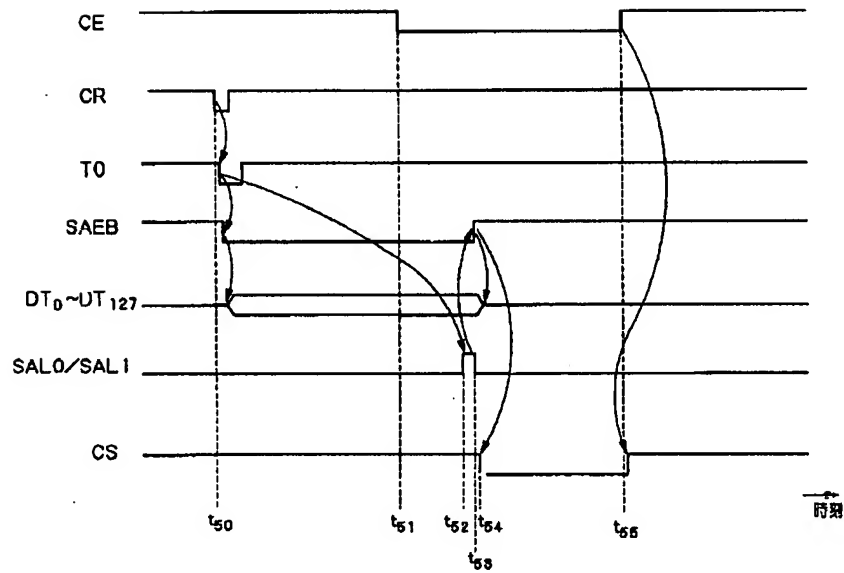
【図2】



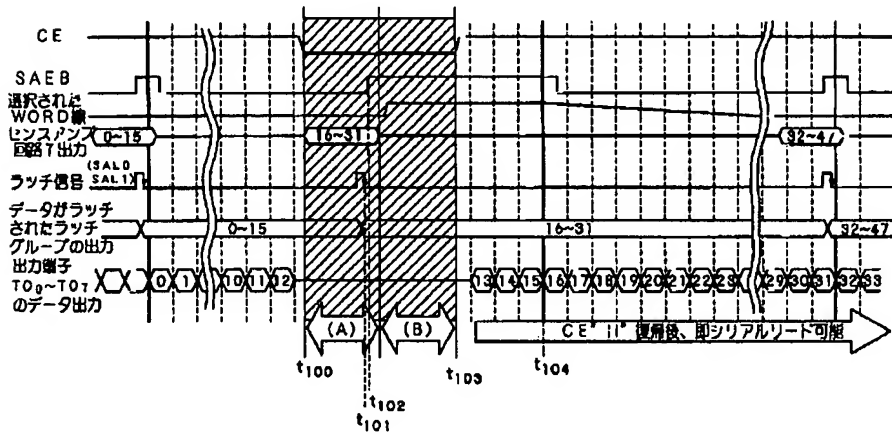
【図6】



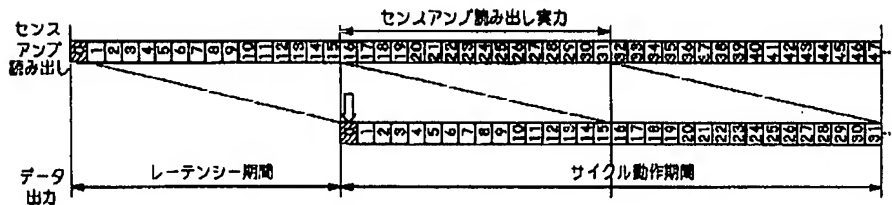
【図3】



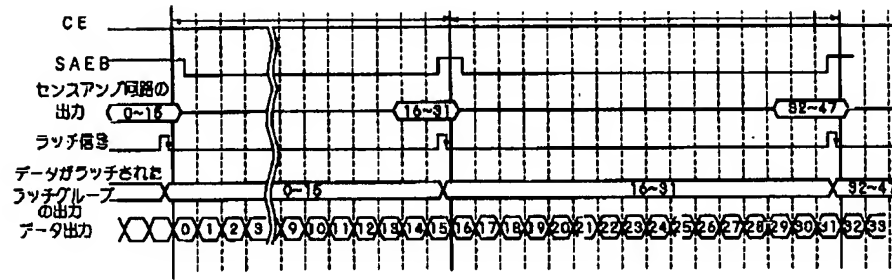
【図4】



【図5】



【図7】



【図8】

